



LIGHT EMISSION DEVICE

Patent Number: JP2001343933
Publication date: 2001-12-14
Inventor(s): INUKAI KAZUTAKA
Applicant(s): SEMICONDUCTOR ENERGY LAB CO LTD
Requested Patent: ☐ JP2001343933
Application Number: JP20000359032 20001127
Priority Number(s):
IPC Classification: G09G3/30; G09F9/30; G09G3/20; H05B33/14
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To provide an active matrix type light emission device capable of performing sharp multi-level color display.
SOLUTION: In this light emission device, plural pixels of a pixel part are enclosed respectively with a source signal line, a first gate signal line, a second gate signal line and a power source supplying line and each pixel has a TFT (thin film transistor) for switching, a TFT for EL(electroluminescence) drive, a TFT for erasure and an EL(electroluminescent) element.

DIALOG(R)File 347:JAPIO
(c) 2002 JPO & JAPIO. All rts. reserv.

07116265 **Image available**
LIGHT EMISSION DEVICE

PUB. NO.: 2001-343933 [JP 2001343933 A]
PUBLISHED: December 14, 2001 (20011214)
INVENTOR(s): INUKAI KAZUTAKA
APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD
APPL. NO.: 2000-359032 [JP 2000359032]
FILED: November 27, 2000 (20001127)
PRIORITY: 11-338786 [JP 99338786], JP (Japan), November 29, 1999
(19991129)
2000-086968 [JP 200086968], JP (Japan), March 27, 2000
(20000327)
INTL CLASS: G09G-003/30; G09F-009/30; G09G-003/20; H05B-033/14

ABSTRACT

PROBLEM TO BE SOLVED: To provide an active matrix type light emission device capable of performing sharp multi-level color display.

SOLUTION: In this light emission device, plural pixels of a pixel part are enclosed respectively with a source signal line, a first gate signal line, a second gate signal line and a power source supplying line and each pixel has a TFT (thin film transistor) for switching, a TFT for EL(electroluminescence) drive, a TFT for erasure and an EL(electroluminescent) element.

COPYRIGHT: (C)2001,JPO

DIALOG(R)File 352:Derwent WPI
(c) 2002 Thomson Derwent. All rts. reserv.

014067036

WPI Acc No: 2001-551249/200162

XRAM Acc No: C01-164210

XRPX Acc No: N01-409596

Electronic device for providing gradation control for an active matrix EL display, useful in computers, video cameras and DVD players, comprises a source signal line driver circuit and first and second gate signal line driver circuits

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME); SEL SEMICONDUCTOR

ENERGY LAB (SEME)

Inventor: INUKAI K

Number of Countries: 029 Number of Patents: 004

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
-----------	------	------	-------------	------	------	------

EP 1103946	A2	20010530	EP 2000126069	A	20001129	200162 B
------------	----	----------	---------------	---	----------	----------

CN 1298167	A	20010606	CN 2000134290	A	20001129	200162
------------	---	----------	---------------	---	----------	--------

KR 2001052029	A	20010625	KR 200071648	A	20001129	200172
---------------	---	----------	--------------	---	----------	--------

JP 2001343933	A	20011214	JP 2000359032	A	20001127	200214
---------------	---	----------	---------------	---	----------	--------

Priority Applications (No Type Date): JP 200086968 A 20000327; JP 99338786 A 19991129

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
-----------	------	-----	----	----------	--------------

EP 1103946	A2	E	66	G09G-003/30	
------------	----	---	----	-------------	--

Designated States (Regional): AL AT BE CH CY DE DK ES FI FR GB GR IE IT LI LT LU LV MC MK NL PT RO SE SI TR

CN 1298167	A			G09F-009/30	
------------	---	--	--	-------------	--

KR 2001052029	A			G09G-003/30	
---------------	---	--	--	-------------	--

JP 2001343933	A		50	G09G-003/30	
---------------	---	--	----	-------------	--

Abstract (Basic): EP 1103946 A2

NOVELTY - An electronic device comprises a source signal line driver circuit, first and second gate signal line driver circuits and a pixel portion. The pixels each have an EL element, an EL driving TFT for controlling luminescence of each of the elements, a switching TFT, and an eliminating TFT for controlling the EL driving TFT.

DETAILED DESCRIPTION - An electronic device comprises a source signal line driver circuit, first and second gate signal line driver

circuits and a pixel portion. The pixels each have an EL element, an EL driving TFT for controlling luminescence of each of the elements, a switching TFT, and an eliminating TFT for controlling the EL driving TFT. The switching TFT is controlled by the first gate signal line driver circuit and the eliminating TFT is controlled by the second. Gray-scale display is performed by controlling luminescing time of the EL elements.

USE - The device is used in computers, video cameras and DVD players (claimed).

ADVANTAGE - Clear color gray-scale display can be performed pp; 66 DwgNo 0/28

Title Terms: ELECTRONIC; DEVICE; GRADATION; CONTROL; ACTIVE; MATRIX; ELECTROLUMINESCENT; DISPLAY; USEFUL; COMPUTER; VIDEO; CAMERA; PLAY;

COMPRISE; SOURCE; SIGNAL; LINE; DRIVE; CIRCUIT; FIRST; SECOND; GATE; SIGNAL; LINE; DRIVE; CIRCUIT

Derwent Class: A85; E19; L03; P85; T04; U14

International Patent Class (Main): G09F-009/30; G09G-003/30

International Patent Class (Additional): G09G-003/00; G09G-003/20;

G09G-003/32; H01L-027/15; H01L-031/12; H05B-033/00; H05B-033/14

File Segment: CPI; EPI; EngPI

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat
(c) 2002 EPO. All rts. reserv.

16851665

Basic Patent (No,Kind,Date): EP 1103946 A2 20010530 <No. of Patents: 003>
GRADATION CONTROL FOR AN ACTIVE MATRIX EL DISPLAY (English;
French;
German)

Patent Assignee: SEMICONDUCTOR ENERGY LAB (JP)

Author (Inventor): INUKAI KAZUTAKA (JP)

Designated States : (National) AT; BE; CH; CY; DE; DK; ES; FI; FR; GB; GR
; IE; IT; LI; LU; MC; NL; PT; SE; TR

IPC: *G09G-003/30; G09G-003/32

Language of Document: English

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
-----------	------	------	-----------	------	------

CN 1298167	A	20010606	CN 2000134290	A	20001129
------------	---	----------	---------------	---	----------

EP 1103946	A2	20010530	EP 2000126069	A	20001129 (BASIC)
------------	----	----------	---------------	---	------------------

JP 2001343933	A2	20011214	JP 2000359032	A	20001127
---------------	----	----------	---------------	---	----------

Priority Data (No,Kind,Date):

JP 99338786 A 19991129

JP 200086968 A 20000327

JP 2000359032 A 20001127

審査請求 未請求 請求項の数 22

(6/全 50頁)
(43)公開日 平成13年(2001)12月14日

(51) Int. Cl. ⁷	識別記号	F I	(21) 特願2000-359032
G 09 G 3/30		G09G 3/30 J	
G 09 F 9/30	338	G09F 9/30 338	(22) 出願平12年(2000)11月27日
	365	365 Z	優(31) 特願平11-338786
G 09 G 3/20	611	G09G 3/20 611 H	先(32) 平11(1999)11月29日
	624	624 B	権(33) (JP) 日本

(71) 出 願 人	株式会社半導体エネ	神奈川県厚木市長谷398番地
	ルギー研究所	
(72) 発 明 者	犬飼 和隆	神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

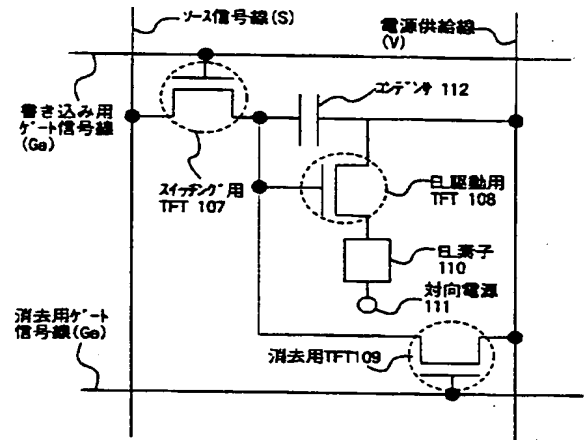
【発明の名称】 発光装置

「続きあり」

【要約】

【課題】 鮮明な多階調カラー表示の可能なアクティブマトリクス型の発光装置を提供する。

【解決手段】 画素部が有する複数の画素は、ソース信号線と、第1のゲート信号線と、第2のゲート信号線と、電源供給線とで囲まれており、前記複数の画素は、スイッチング用TFTと、EL駆動用TFTと、消去用TFTと、EL素子とをそれぞれ有しており、いることを特徴とする発光装置。



【発明の属する技術分野】

本発明はEL（エレクトロルミネッセンス）素子を基板上に作り込んで形成された電子ディスプレイに関する。特に半導体素子（半導体薄膜を用いた素子）を用いたELディスプレイ（発光装置）に関する。またELディスプレイを表示部に用いた電子機器に関する。

【発明が解決しようとする課題】

EL素子に供給される電流量がEL駆動用TFTのゲート電圧によって制御される様子を図20を用いて詳しく説明する。

図20(A)はEL駆動用TFTのトランジスタ特性を示すグラフであり、401は $I_{DS}-V_{GS}$ 特性（又は $I_{OS}-V_{GS}$ 曲線）と呼ばれている。ここで I_{OS} はドレイン電流であり、 V_{GS} はゲート電圧である。このグラフにより任意のゲート電圧に対して流れる電流量を知ることができる。

【特許請求の範囲】

【請求項1】 ソース信号線駆動回路と、第1のゲート信号線駆動回路と、第2のゲート信号線駆動回路と、画素部とを有する発光装置であって、前記画素部は複数の画素を有しており、前記複数の画素は、EL素子と、前記EL素子の発光をそれぞれ制御するEL駆動用TFTと、前記EL駆動用TFTの駆動を制御するスイッチング用TFT及び消去用TFTとを有し、前記第1のゲート信号線駆動回路によって前記スイッチング用TFTの駆動が制御され、前記第2のゲート信号線駆動回路によって前記消去用TFTの駆動が制御され、前記複数のEL素子の発光する時間を制御することで階調表示を行うことを特徴とする発光装置。

【請求項2】 ソース信号線駆動回路と、第1のゲート信号線駆動回路と、第2のゲート信号線駆動回路と、画素部と、前記ソース信号線駆動回路に接続された複数のソース信号線と、前記第1のゲート信号線駆動回路に接続された複数の第1のゲート信号線と、前記第2のゲート

信号線駆動回路に接続された複数の第2のゲート信号線と、電源供給線とを有する発光装置であって、前記画素部は複数の画素を有しており、前記複数の画素は、スイッチング用TFTと、EL駆動用TFTと、消去用TFTと、EL素子とをそれぞれ有し、前記スイッチング用TFTが有するゲート電極は前記第1のゲート信号線と接続されており、前記スイッチング用TFTが有するソース領域とドレイン領域は、一方は前記複数のソース信号線と、もう一方は前記EL駆動用TFTが有するゲート電極と接続されており、前記消去用TFTが有するゲート電極は前記第2のゲート信号線と接続されており、前記消去用TFTが有するソース領域とドレイン領域は、一方は前記電源供給線と、もう一方は前記EL駆動用TFTが有するゲート電極と接続されており、前記EL駆動用TFTが有するソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記EL素子に接続されていることを特徴とする発光装置。

【請求項3】ソース信号線駆動回路と、第1のゲート信号線駆動回路と、第2のゲート信号線駆動回路と、画素部と、前記ソース信号線駆動回路に接続された複数のソース信号線と、前記第1のゲート信号線駆動回路に接続された複数の第1のゲート信号線と、前記第2のゲート信号線駆動回路に接続された複数の第2のゲート信号線と、一定の電位に保たれた電源供給線とを有する発光装置であって、前記画素部は複数の画素を有しており、前記複数の画素は、スイッチング用TFTと、EL駆動用TFTと、消去用TFTと、EL素子とをそれぞれ有し、前記EL素子は、画素電極と、一定の電位に保たれた対向電極と、前記画素電極と前記対向電極の間に設けられたEL層とを有しており、前記スイッチング用TFTが有するゲート電極は前記第1のゲート信号線と接続されており、前記スイッチング用TFTが有するソース領域とドレイン領域は、一方は前記複数のソース信号線と、もう一方は前記EL駆動用TFTが有するゲート電極と接続されており、前記消去用TFTが有するゲート電極は前記第2のゲート信号線と接続されており、前記消去用TFTが有するソース領域とドレイン領域は、一方は前記電源供給線と、もう一方は前記EL駆動用TFTが有するゲート電極と接続されており、前記EL駆動用TFTが有するソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記EL素子が有する画素電極に接続されていることを特徴とする発光装置。

【請求項4】請求項3において、前記EL層は低分子系有機物質またはポリマー系有機物質であることを特徴とする発光装置。

【請求項5】請求項4において、前記低分子系有機物質は、Alq₃（トリス-8-キノリライト-アルミニウム）またはTPD（トリフェニルアミン誘導体）からなることを特徴とする発光装置。

【請求項6】請求項4において、前記ポリマー系有機物質は、PPV（ポリフェニレンビニレン）、PVK（ポリビニルカルバゾール）またはポリカーボネートからなることを特徴とする発光装置。

【請求項7】ソース信号線駆動回路と、第1のゲート信号線駆動回路と、第2のゲート信号線駆動回路と、画素部と、前記ソース信号線駆動回路に接続された複数のソース信号線と、前記第1のゲート信号線駆動回路に接続された複数の第1のゲート信号線と、前記第2のゲート信号線駆動回路に接続された複数の第2のゲート信号線と、電源供給線とを有する発光装置であって、前記画素部は複数の画素を有しており、前記複数の画素は、スイッチング用TFTと、EL駆動用TFTと、消去用TFTと、EL素子とをそれぞれ有し、前記スイッチング用TFTが有するゲート電極は前記第1のゲート信号線と接続されており、前記スイッチング用TFTが有するソース領域とドレイン領域は、一方は前記複数のソース信号線と、もう一方は前記EL駆動用TFTが有するゲート電極と接続されており、前記消去用TFTが有するゲート電極は前記第2のゲート信号線と接続されており、前記消去用TFTが有するソース領域とドレイン領域は、一方は前記電源供給線と、もう一方は前記EL駆動用TFTが有するゲート電極と接続されており、前記EL駆動用TFTが有するソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記EL素子に接続されており、1フレーム期間内にn個の書き込み期間 T_{a1} 、 T_{a2} 、…、 T_{an} と、(m-1)個の消去期間 T_{e1} 、 T_{e2} 、…、 $T_{e(m-1)}$ （mは2からnまでの任意の数）とが設けられており、前記書き込み期間 T_{a1} 、 T_{a2} 、…、 T_{an} において、前記ソース信号線駆動回路から前記ソース信号線を介してデジタルデータ信号が前記複数の画素の全てに入力され、前記消去期間 T_{e1} 、 T_{e2} 、…、 $T_{e(m-1)}$ において、前記複数の画素に入力された前記デジタルデータ信号が全て消去され、前記n個の書き込み期間 T_{a1} 、 T_{a2} 、…、 T_{an} のうち、書き込み期間 T_{a1} 、 T_{a2} 、…、 T_{am} と、前記消去期間 T_{e1} 、 T_{e2} 、…、 $T_{e(m-1)}$ とはそれぞれ互いに一部重なっており、前記n個の書き込み期間 T_{a1} 、 T_{a2} 、…、 T_{an} のうちの書き込み期間 T_{a1} 、 T_{a2} 、…、 $T_{a(m-1)}$ のそれぞれが開始されてから、前記消去期間 T_{e1} 、 T_{e2} 、…、 $T_{e(m-1)}$ のそれぞれが開始されるまでの期間が、表示期間 T_{r1} 、 T_{r2} 、…、 $T_{r(m-1)}$ であり、前記消去期間 T_{e1} 、 T_{e2} 、…、 $T_{e(m-1)}$ のそれぞれが開始されてから、前記n個の書き込み期間 T_{a1} 、 T_{a2} 、…、 T_{an} のうちの書き込み期間 T_{a1} 、 T_{a2} 、…、 T_{am} のそれぞれが開始されるまでの期間が、非表示期間 T_{d1} 、 T_{d2} 、…、 T_{dn} であり、前記n個の書き込み期間 T_{a1} 、 T_{a2} 、…、 T_{an} のうちの書き込み期間 T_{am} 、 $T_{a(m+1)}$ 、…、 T_{an} のそれぞれが開始されてから、前記各書き込み期間 T_{am} 、 $T_{a(m+1)}$ 、…、 T_{an} の次の書き込み期間のそれぞれが開始されるまでの期間が表示期間 T_{rm} 、 $T_{r(m+1)}$ 、…、 T_{rn} であり、前記デジタルデータ信号によって、前記表示期間 T_{r1} 、 T_{r2} 、…、 T_{rn} において前記複数のEL素子が発光するか発光しないかが選択され、前記n個の書き込み期間 T_{a1} 、 T_{a2} 、…、 T_{an} と

、前記 $(m-1)$ 個の消去期間 T_{e1} 、 T_{e2} 、…、 $T_{e(m-1)}$ の長さは全て同じであり、
前記表示期間 T_{r1} 、 T_{r2} 、…、 T_{rn} の長さの比は、 $2^0:2^1:…、2^{(n-1)}$ で表されることを特徴とする発光装置。

【請求項8】ソース信号線駆動回路と、第1のゲート信号線駆動回路と、第2のゲート信号線駆動回路と、画素部と、前記ソース信号線駆動回路に接続された複数のソース信号線と、前記第1のゲート信号線駆動回路に接続された複数の第1のゲート信号線と、前記第2のゲート信号線駆動回路に接続された複数の第2のゲート信号線と、一定の電位に保たれた電源供給線とを有する発光装置であって、

前記画素部は複数の画素を有しており、

前記複数の画素は、スイッチング用TFTと、EL駆動用TFTと、消去用TFTと、EL素子とをそれぞれ有し、

前記EL素子は、画素電極と、一定の電位に保たれた対向電極と、前記画素電極と前記対向電極の間に設けられたEL層とを有しており、

前記スイッチング用TFTが有するゲート電極は前記第1のゲート信号線と接続されており、

前記スイッチング用TFTが有するソース領域とドレイン領域は、一方は前記複数のソース信号線と、もう一方は前記EL駆動用TFTが有するゲート電極と接続されており、

前記消去用TFTが有するゲート電極は前記第2のゲート信号線と接続されており、

前記消去用TFTが有するソース領域とドレイン領域は、一方は前記電源供給線と、もう一方は前記EL駆動用TFTが有するゲート電極と接続されており、

前記EL駆動用TFTが有するソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記EL素子が有する画素電極に接続されており、

1フレーム期間内に n 個の書き込み期間 T_{a1} 、 T_{a2} 、…、 T_{an} と、 $(m-1)$ 個の消去期間 T_{e1} 、 T_{e2} 、…、 $T_{e(m-1)}$ (m は2から n までの任意の数)とが設けられており、

前記書き込み期間 T_{a1} 、 T_{a2} 、…、 T_{an} において、前記ソース信号線駆動回路から前記ソース信号線を介してデジタルデータ信号が前記複数の画素の全てに入力され、

前記消去期間 T_{e1} 、 T_{e2} 、…、 $T_{e(m-1)}$ において、前記複数の画素に入力された前記デジタルデータ信号が全て消去され、

前記 n 個の書き込み期間 T_{a1} 、 T_{a2} 、…、 T_{an} のうち、書き込み期間 T_{a1} 、 T_{a2} 、…、 T_{am} と、前記消去期間 T_{e1} 、 T_{e2} 、…、 $T_{e(m-1)}$ とはそれぞれ互いに一部重なっており、

前記 n 個の書き込み期間 T_{a1} 、 T_{a2} 、…、 T_{an} のうちの書き込み期間 T_{a1} 、 T_{a2} 、…、 $T_{a(m-1)}$ のそれぞれが開始されてから、前記消去期間 T_{e1} 、 T_{e2} 、…、 $T_{e(m-1)}$ のそれぞれが開始されるまでの期間が、表示期間 T_{r1} 、 T_{r2} 、…、 $T_{r(m-1)}$ であり、

前記消去期間 T_{e1} 、 T_{e2} 、…、 $T_{e(m-1)}$ のそれぞれが開始されてから、前記 n 個の書き込み期間 T_{a1} 、 T_{a2} 、…、 T_{an} のうちの書き込み期間 T_{a1} 、 T_{a2} 、…、 T_{am} のそれぞれが開始されるまでの期間が、非表示期間 T_{d1} 、 T_{d2} 、…、 T_{dn} であり、

前記 n 個の書き込み期間 T_{a1} 、 T_{a2} 、…、 T_{an} の

うちの書き込み期間 T_{am} 、 $T_{a(m+1)}$ 、…、 T_{an} のそれぞれが開始されてから、前記各書き込み期間 T_{am} 、 $T_{a(m+1)}$ 、…、 T_{an} の次の書き込み期間のそれぞれが開始されるまでの期間が表示期間 T_{rm} 、 $T_{r(m+1)}$ 、…、 T_{rn} であり、

前記デジタルデータ信号によって、前記表示期間 T_{r1} 、 T_{r2} 、…、 T_{rn} において前記複数のEL素子が発光するか発光しないかが選択され、

前記 n 個の書き込み期間 T_{a1} 、 T_{a2} 、…、 T_{an} と、前記 $(m-1)$ 個の消去期間 T_{e1} 、 T_{e2} 、…、 $T_{e(m-1)}$ の長さは全て同じであり、

前記表示期間 T_{r1} 、 T_{r2} 、…、 T_{rn} の長さの比は、 $2^0:2^1:…、2^{(n-1)}$ で表されることを特徴とする発光装置。

【請求項9】ソース信号線駆動回路と、第1のゲート信号線駆動回路と、第2のゲート信号線駆動回路と、画素部と、前記ソース信号線駆動回路に接続された複数のソース信号線と、前記第1のゲート信号線駆動回路に接続された複数の第1のゲート信号線と、前記第2のゲート信号線駆動回路に接続された複数の第2のゲート信号線と、電源供給線とを有する発光装置であって、

前記画素部は複数の画素を有しており、

前記複数の画素は、スイッチング用TFTと、EL駆動用TFTと、消去用TFTと、EL素子とをそれぞれ有し、

前記スイッチング用TFTが有するゲート電極は前記第1のゲート信号線と接続されており、

前記スイッチング用TFTが有するソース領域とドレイン領域は、一方は前記複数のソース信号線と、もう一方は前記EL駆動用TFTが有するゲート電極と接続されており、

前記消去用TFTが有するゲート電極は前記第2のゲート信号線と接続されており、

前記消去用TFTが有するソース領域とドレイン領域は、一方は前記電源供給線と、もう一方は前記EL駆動用TFTが有するゲート電極と接続されており、前記EL駆動用TFTが有するソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記EL素子に接続されており、

1フレーム期間内に n 個の書き込み期間 T_{a1} 、 T_{a2} 、…、 T_{an} と、 $(m-1)$ 個の消去期間 T_{e1} 、 T_{e2} 、…、 $T_{e(m-1)}$ (m は2から n までの任意の数)とが設けられており、

前記書き込み期間 T_{a1} 、 T_{a2} 、…、 T_{an} において、前記ソース信号線駆動回路から前記ソース信号線を介してデジタルデータ信号が前記複数の画素の全てに入力され、

前記消去期間 T_{e1} 、 T_{e2} 、…、 $T_{e(m-1)}$ において、前記複数の画素に入力された前記デジタルデータ信号が全て消去され、

前記 n 個の書き込み期間 T_{a1} 、 T_{a2} 、…、 T_{an} のうち、書き込み期間 T_{a1} 、 T_{a2} 、…、 T_{am} と、前記消去期間 T_{e1} 、 T_{e2} 、…、 $T_{e(m-1)}$ とはそれぞれ互いに一部重なっており、

前記 n 個の書き込み期間 T_{a1} 、 T_{a2} 、…、 T_{an} のうちの書き込み期間 T_{a1} 、 T_{a2} 、…、 $T_{a(m-1)}$ のそれぞれが開始されてから、前記消去期間 T_{e1} 、 T_{e2} 、…、 $T_{e(m-1)}$ のそれぞれが開始されるまでの期間が、表示期間 T_{r1} 、 T_{r2} 、…、 $T_{r(m-1)}$ であり、

前記消去期間 T_{e1} 、 T_{e2} 、…、 $T_{e(m-1)}$ のそ

れぞれが開始されてから、前記 n 個の書き込み期間 T_{a1} 、 T_{a2} 、 \dots 、 T_{an} のうちの書き込み期間 T_{a1} 、 T_{a2} 、 \dots 、 T_{am} のそれぞれが開始されるまでの期間が、非表示期間 T_{d1} 、 T_{d2} 、 \dots 、 T_{dn} であり、前記 n 個の書き込み期間 T_{a1} 、 T_{a2} 、 \dots 、 T_{an} のうちの書き込み期間 T_{am} 、 $T_{a(m+1)}$ 、 \dots 、 T_{an} のそれぞれが開始されてから、前記各書き込み期間 T_{am} 、 $T_{a(m+1)}$ 、 \dots 、 T_{an} の次の書き込み期間のそれぞれが開始されるまでの期間が表示期間 T_{rm} 、 $T_{r(m+1)}$ 、 \dots 、 T_{rn} であり、前記デジタルデータ信号によって、前記表示期間 T_{r1} 、 T_{r2} 、 \dots 、 T_{rn} において前記複数のEL素子が発光するか発光しないかが選択され、前記 n 個の書き込み期間 T_{a1} 、 T_{a2} 、 \dots 、 T_{an} と、前記 $(m-1)$ 個の消去期間 T_{e1} 、 T_{e2} 、 \dots 、 $T_{e(m-1)}$ の長さは全て同じであり、前記表示期間 T_{r1} 、 T_{r2} 、 \dots 、 T_{rn} の長さの比は、 $2^0:2^1:\dots:2^{(n-1)}$ で表され、前記表示期間 T_{r1} 、 T_{r2} 、 \dots 、 T_{rn} が出現する順序がランダムであることを特徴とする発光装置。

【請求項10】ソース信号線駆動回路と、第1のゲート信号線駆動回路と、第2のゲート信号線駆動回路と、画素部と、前記ソース信号線駆動回路に接続された複数のソース信号線と、前記第1のゲート信号線駆動回路に接続された複数の第1のゲート信号線と、前記第2のゲート信号線駆動回路に接続された複数の第2のゲート信号線と、一定の電位に保たれた電源供給線とを有する発光装置であって、

前記画素部は複数の画素を有しており、前記複数の画素は、スイッチング用TFTと、EL駆動用TFTと、消去用TFTと、EL素子とをそれぞれ有し、

前記EL素子は、画素電極と、一定の電位に保たれた対向電極と、前記画素電極と前記対向電極の間に設けられたEL層とを有しており、

前記スイッチング用TFTが有するゲート電極は前記第1のゲート信号線と接続されており、

前記スイッチング用TFTが有するソース領域とドレイン領域は、一方は前記複数のソース信号線と、もう一方は前記EL駆動用TFTが有するゲート電極と接続されており、

前記消去用TFTが有するゲート電極は前記第2のゲート信号線と接続されており、

前記消去用TFTが有するソース領域とドレイン領域は、一方は前記電源供給線と、もう一方は前記EL駆動用TFTが有するゲート電極と接続されており、

前記EL駆動用TFTが有するソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記EL素子が有する画素電極に接続されており、

1フレーム期間内に n 個の書き込み期間 T_{a1} 、 T_{a2} 、 \dots 、 T_{an} と、 $(m-1)$ 個の消去期間 T_{e1} 、 T_{e2} 、 \dots 、 $T_{e(m-1)}$ (m は2から n までの任意の数)とが設けられており、

前記書き込み期間 T_{a1} 、 T_{a2} 、 \dots 、 T_{an} において、前記ソース信号線駆動回路から前記ソース信号線を介してデジタルデータ信号が前記複数の画素の全てに入力され、

前記消去期間 T_{e1} 、 T_{e2} 、 \dots 、 $T_{e(m-1)}$ において、前記複数の画素に入力された前記デジタルデータ信号が全て消去され、

前記 n 個の書き込み期間 T_{a1} 、 T_{a2} 、 \dots 、 T_{an} の

うち、書き込み期間 T_{a1} 、 T_{a2} 、 \dots 、 T_{am} と、前記消去期間 T_{e1} 、 T_{e2} 、 \dots 、 $T_{e(m-1)}$ とはそれぞれ互いに一部重なっており、

前記 n 個の書き込み期間 T_{a1} 、 T_{a2} 、 \dots 、 T_{an} のうちの書き込み期間 T_{a1} 、 T_{a2} 、 \dots 、 $T_{a(m-1)}$ のそれぞれが開始されてから、前記消去期間 T_{e1} 、 T_{e2} 、 \dots 、 $T_{e(m-1)}$ のそれぞれが開始されるまでの期間が、表示期間 T_{r1} 、 T_{r2} 、 \dots 、 $T_{r(m-1)}$ であり、

前記消去期間 T_{e1} 、 T_{e2} 、 \dots 、 $T_{e(m-1)}$ のそれぞれが開始されてから、前記 n 個の書き込み期間 T_{a1} 、 T_{a2} 、 \dots 、 T_{an} のうちの書き込み期間 T_{a1} 、 T_{a2} 、 \dots 、 T_{am} のそれぞれが開始されるまでの期間が、非表示期間 T_{d1} 、 T_{d2} 、 \dots 、 T_{dn} であり、

前記 n 個の書き込み期間 T_{a1} 、 T_{a2} 、 \dots 、 T_{an} のうちの書き込み期間 T_{am} 、 $T_{a(m+1)}$ 、 \dots 、 T_{an} のそれぞれが開始されてから、前記各書き込み期間 T_{am} 、 $T_{a(m+1)}$ 、 \dots 、 T_{an} の次の書き込み期間のそれぞれが開始されるまでの期間が表示期間 T_{rm} 、 $T_{r(m+1)}$ 、 \dots 、 T_{rn} であり、

前記デジタルデータ信号によって、前記表示期間 T_{r1} 、 T_{r2} 、 \dots 、 T_{rn} において前記複数のEL素子が発光するか発光しないかが選択され、

前記 n 個の書き込み期間 T_{a1} 、 T_{a2} 、 \dots 、 T_{an} と、前記 $(m-1)$ 個の消去期間 T_{e1} 、 T_{e2} 、 \dots 、 $T_{e(m-1)}$ の長さは全て同じであり、

前記表示期間 T_{r1} 、 T_{r2} 、 \dots 、 T_{rn} の長さの比は、 $2^0:2^1:\dots:2^{(n-1)}$ で表され、

前記表示期間 T_{r1} 、 T_{r2} 、 \dots 、 T_{rn} が出現する順序がランダムであることを特徴とする発光装置。

【請求項11】請求項8または請求項10において、前記EL層は低分子系有機物質またはポリマー系有機物質であることを特徴とする発光装置。

【請求項12】請求項11において、前記低分子系有機物質は、 Alq_3 (トリス-8-キノリライト-アルミニウム) またはTPD (トリフェニルアミン誘導体) からなることを特徴とする発光装置。

【請求項13】請求項11において、前記ポリマー系有機物質は、PPV (ポリフェニレンビニレン)、PVK (ポリビニルカルbazol) またはポリカーボネートからなることを特徴とする発光装置。

【請求項14】請求項7乃至請求項13のいずれか1項において、前記 n 個の書き込み期間 T_{a1} 、 T_{a2} 、 \dots 、 T_{an} は互いに重なっていないことを特徴とする発光装置。

【請求項15】請求項7乃至請求項14のいずれか1項において、前記 $(m-1)$ 個の消去期間 T_{e1} 、 T_{e2} 、 \dots 、 $T_{e(m-1)}$ は互いに重なっていないことを特徴とする発光装置。

【請求項16】請求項1乃至請求項15のいずれか1項において、前記スイッチング用TFT、前記EL駆動用TFT及び前記消去用TFTは n チャネル型TFTまたは p チャネル型TFTであることを特徴とする発光装置。

【請求項17】請求項1乃至請求項16のいずれか1項において、前記EL駆動用TFTは、前記EL駆動用TFTが有するゲート電極に前記電源供給線の電位が与えられるとオフの状態になることを特徴とする発光装置。

【請求項18】ソース信号線駆動回路と、第1のゲート信号線駆動回路と、第2のゲート信号線駆動回路と、画素部とを有する発光装置であって、

前記画素部は複数の画素を有し、
前記複数の画素は複数のEL素子を有し、
前記ソース信号線駆動回路から出力されるデジタルデータ信号、前記第1のゲート信号線駆動回路から出力される第1の選択信号及び前記第2のゲート信号線駆動回路から出力される第2の選択信号によって、前記複数のEL素子の駆動がそれぞれ制御されることを特徴とする発光装置。

【請求項19】ソース信号線駆動回路と、第1のゲート信号線駆動回路と、第2のゲート信号線駆動回路と、画素部とを有する発光装置であって、
前記画素部は複数の画素を有し、
前記複数の画素は複数のEL素子を有し、
前記ソース信号線駆動回路から出力されるデジタルデータ信号、前記第1のゲート信号線駆動回路から出力される第1の選択信号及び前記第2のゲート信号線駆動回路から出力される第2の選択信号によって前記EL素子の発光する時間が制御されることで階調表示が行われることを特徴とする発光装置。

【請求項20】請求項1乃至請求項19のいずれか1項に記載の前記発光装置を用いることを特徴とするコンピュータ。

【請求項21】請求項1乃至請求項19のいずれか1項に記載の前記発光装置を用いることを特徴とするビデオカメラ。

【請求項22】請求項1乃至請求項19のいずれか1項に記載の前記発光装置を用いることを特徴とするDVDプレーヤー。

【書誌事項の続き】

(51)Int.Cl.⁷ 識別記号
G 09 G 3/20 641
H 05 B 33/14

F I
G09G 3/20 641 E
641 A
H05B 33/14 A

【優先権】

(31)特願2000-86968
(32)平12(2000) 3月27日
(33) (JP) 日本

【テーマコード (参考)】

3K007
5C080
5C094

【Fターム (参考)】

3K007 AB02 AB04 BA06 BB01 BB02 BB06 DA00 DB03 EB00
FA01 FA02 FA03 GA04
5C080 AA06 BB05 CC03 DD03 FF09 HH22 KK02 KK10 KK14
KK43
5C094 AA07 AA10 AA15 AA42 AA43 AA44 BA03 BA27 CA19
EA04 EA05 EB02 ED02 HA05 HA06 HA07 HA08 HA10

【図面の簡単な説明】

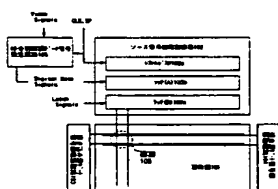
【図1】 本発明のELディスプレイの回路構成を示す図。
【図2】 本発明のELディスプレイの画素部の回路図。

【図3】 本発明のELディスプレイの画素の回路図。
【図4】 本発明のELディスプレイの駆動方法を示す図。
【図5】 本発明のELディスプレイの駆動方法を示す図。
【図6】 本発明のELディスプレイの上面図及び断面図。
【図7】 本発明のELディスプレイの上面図及び断面図。
【図8】 本発明のELディスプレイの断面図。
【図9】 本発明のELディスプレイの断面図。
【図10】 本発明のELディスプレイの画素部の回路図。
【図11】 本発明のELディスプレイの作製行程を示す図。
【図12】 本発明のELディスプレイの作製行程を示す図。
【図13】 本発明のELディスプレイの作製行程を示す図。
【図14】 本発明のELディスプレイの作製行程を示す図。
【図15】 本発明で用いられるソース信号線駆動回路の回路図。
【図16】 本発明で用いられるラッチの上面図。
【図17】 本発明のELディスプレイを用いた電子機器。
【図18】 従来のELディスプレイの画素部の回路図。
【図19】 従来のELディスプレイの駆動方法を示すタイミングチャート。
【図20】 TFTの $I_{ds}-V_{gs}$ 特性を示す図。
【図21】 本発明のELディスプレイの上面図及び断面図。
【図22】 本発明のELディスプレイの断面図。
【図23】 本発明のELディスプレイの上面写真。
【図24】 本発明のELディスプレイの駆動方法を示す図。
【図25】 本発明のELディスプレイの上面図。
【図26】 EL素子とEL駆動用TFTの接続の構成を示す図と、EL素子とEL駆動用TFTの電圧電流特性を示す図。
【図27】 EL素子とEL駆動用TFTの電圧電流特性を示す図。
【図28】 EL駆動用TFTのゲート電圧とドレイン電流の関係を示す図。

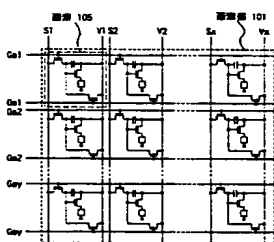
【符号の説明】
101 画素部
102 ソース信号線駆動回路
102a シフトレジスタ
102b ラッチ(A)
102c ラッチ(B)
103 書き込み用ゲート信号線駆動回路
104 消去用ゲート信号線駆動回路
105 画素
106 時分割階調データ信号発生回路
107 スイッチング用TFT
108 EL駆動用TFT
109 消去用TFT
110 EL素子

1 1 1 対向電源

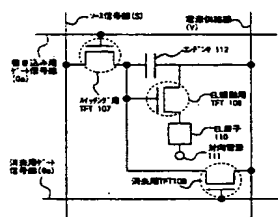
【圖 1】



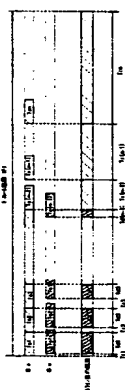
【図 2】



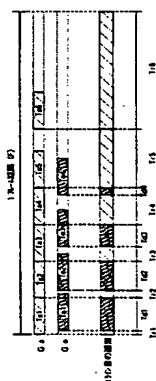
【圖 3】



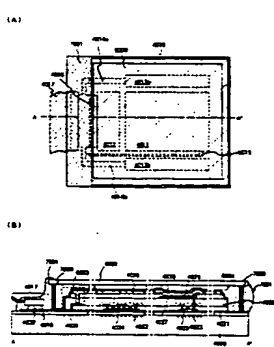
【図 4】



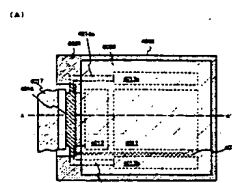
【图5】



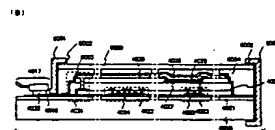
【図 6】



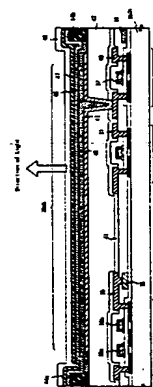
【圖 7】



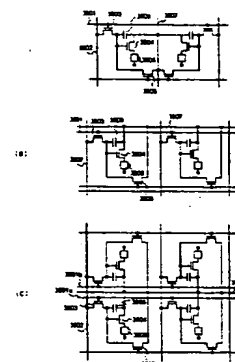
【図 9】



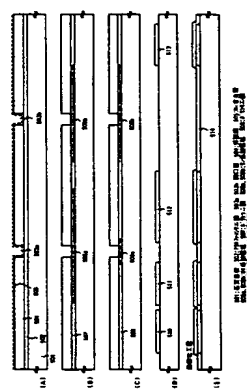
【圖 8】



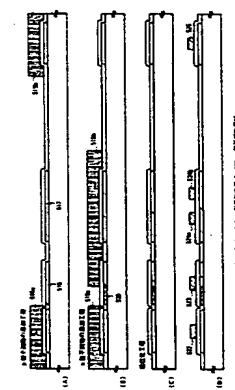
【図 10】



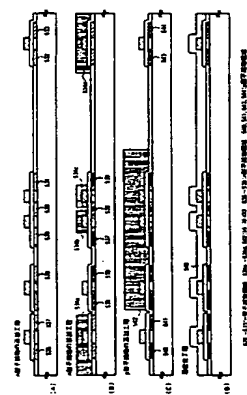
【図 1 1】



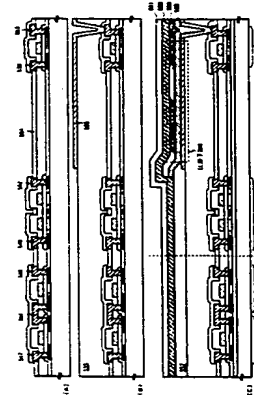
【図 12】



【图 13】



【圖 14】



「以下省略」